

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

012569546 **Image available**

WPI Acc No: 1999-375653/199932

XRFX Acc No: N99-280680

Display panel TFT array forming method for television - involves
transferring TFT from silicon to glass substrate selectively that
corresponds to specific array pitches

Patent Assignee: SHARP KK (SHAF)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11142878	A	19990528	JP 97310299	A	19971112	199932 B
JP 3406207	B2	20030512	JP 97310299	A	19971112	200333

Priority Applications (No Type Date): JP 97310299 A 19971112

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 11142878	A		13	G02F-001/136	
-------------	---	--	----	--------------	--

JP 3406207	B2		13	G02F-001/1368	Previous Publ. patent JP 11142878
------------	----	--	----	---------------	-----------------------------------

Abstract (Basic): JP 11142878 A

NOVELTY - TFT (43) arrays are provided on a silicon substrate at pitches of (dx divided by m, dy divided by n) along two directions, where dx, dy are pixel array pitches along respective directions and m, n are natural numbers of value two or more. TFTs in the arrays whose pitches are dx and dy, are selectively transferred from the silicon substrate to glass substrates (45,47), sequentially.

USE - For display of computer, TV.

ADVANTAGE - Forms TFTs on substrates at reduced cost, as number of TFTs are few. DESCRIPTION OF DRAWING(S) - The drawing shows stages in the display panel TFT array forming method. (43) TFT; (45,47) Glass substrates.

Dwg. 2/14

Title Terms: DISPLAY; PANEL; TFT; ARRAY; FORMING; METHOD; TELEVISION;
TRANSFER; TFT; SILICON; GLASS; SUBSTRATE; SELECT; CORRESPOND; SPECIFIC;
ARRAY; PITCHED

Derwent Class: P81; P85; U14; W03

International Patent Class (Main): G02F-001/136; G02F-001/1368

International Patent Class (Additional): G09F-009/30

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06201321 **Image available**

FORMATION OF DISPLAY TRANSISTOR ARRAY PANEL

PUB. NO.: 11-142878 [JP 11142878 A]

PUBLISHED: May 28, 1999 (19990528)

INVENTOR(s): SHIMIZU MASABUMI

APPLICANT(s): SHARP CORP

APPL. NO.: 09-310299 [JP 97310299]

FILED: November 12, 1997 (19971112)

INTL CLASS: G02F-001/136

ABSTRACT

PROBLEM TO BE SOLVED: To sharply reduce a manufacturing cost.

SOLUTION: Plural TFT elements 43 are formed on a 1st substrate consisting of a Si substrate at pitches dx/m , dy/n with respective element separation grooves 44 intervened. The dx and dy are array pitches of pixels and each of (m) and (n) is a natural number of ≥ 2 . A 2nd substrate 45 is stuck to the 1st substrate with UV peeling resin 46, and after removing the 1st substrate by etching, respective TFT elements 43 are separated. Only TFT elements 43 to be transferred are selectively stuck with adhesive resin 51, and selectively irradiated with ultraviolet rays 62 from the side of the 2nd substrate 45 to selectively be transferred to a 3rd substrate 47. Thus, the same selected TFT element 43 can be transferred to $(m \times n)$ pieces of panel substrates 47 while forming $(m \times n)$ times as many as a necessary number of TFT elements 43 on one piece of 2nd substrate 45, so that cost required for forming TFT elements 43 on the 1st substrate can be reduced approximately to become $1/(m \times n)$.

COPYRIGHT: (C)1999, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-142878

(43) 公開日 平成11年(1999) 5月28日

(51) Int. Cl.⁶

G02F 1/136

識別記号

500

F I

G02F 1/136

500

審査請求 未請求 請求項の数13 O L (全13頁)

(21) 出願番号 特願平9-310299

(22) 出願日 平成9年(1997)11月12日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 清水 正文

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 青山 葆 (外1名)

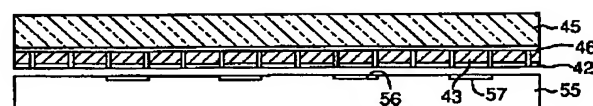
(54) 【発明の名称】 表示用トランジスタアレイパネルの形成方法

(57) 【要約】

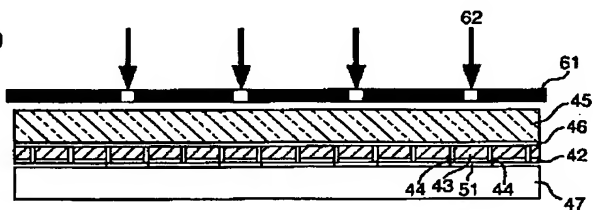
【課題】 製造コストの大幅な削減を図る。

【解決手段】 Si基板で成る第1の基板上に、TFT素子43を素子分離溝44を隔ててピッチdx/m, dy/nで形成する。dx, dyは画素の配列ピッチであり、m, nは「2」以上の自然数である。さらに、UV剥離樹脂46で第2の基板45を張り付け、第1の基板をエッチング除去した後各TFT素子43を分離させる。そして、第3の基板47に、接着樹脂51で転写対象のTFT素子43のみを選択的に接着させ、第2の基板45側から紫外線62を選択的に照射して転写対象のTFT素子43のみを第3の基板47に選択転写する。こうして、1枚の第2の基板45上に必要数の(m×n)倍のTFT素子43を作成して、(m×n)枚のパネル用基板47に同一の選択転写を行うことができ、第1の基板上にTFT素子43を形成するコストを概略1/(m×n)にできる。

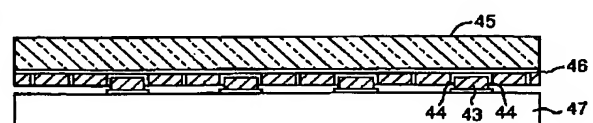
(d)



(e)



(f)



【特許請求の範囲】

【請求項 1】 基板上に、画素の一方方向への配列ピッチ dx を 2 以上の自然数 m で除した dx/m のピッチ、および、他方向への配列ピッチ dy を 2 以上の自然数 n で除した dy/n のピッチで素子を設置する工程と、上記基板上に設けられた素子のうち、上記画素の配列ピッチ dx , dy に対応する素子のみを選択的に他の基板に転写する工程を備えたことを特徴とする表示用トランジスタレイパネルの形成方法。

【請求項 2】 第 1 の基板上に、画素の一方方向への配列ピッチ dx を 2 以上の自然数 m で除した dx/m のピッチ、および、他方向への配列ピッチ dy を 2 以上の自然数 n で除した dy/n のピッチで素子を形成する工程と、上記第 1 の基板上に形成された素子を第 2 の基板上に全体転写する工程と、
上記第 1 の基板を除去して、上記素子を上記第 2 の基板上に孤立配列させる工程と、
上記第 2 の基板上に転写された素子のうち、上記画素の配列ピッチ dx , dy に対応する素子のみを選択的に表示用トランジスタレイ用の第 3 の基板に転写する工程を備えたことを特徴とする表示用トランジスタレイパネルの形成方法。

【請求項 3】 請求項 1 あるいは請求項 2 に記載の表示用トランジスタレイパネルの形成方法において、上記素子が選択転写される基板上の位置には、上記素子が嵌合される凹部が形成されていることを特徴とする表示用トランジスタレイパネルの形成方法。

【請求項 4】 請求項 1 あるいは請求項 2 に記載の表示用トランジスタレイパネルの形成方法において、上記素子が選択転写される基板上の位置には、接着剤層が選択的に形成されていることを特徴とする表示用トランジスタレイパネルの形成方法。

【請求項 5】 請求項 1 あるいは請求項 2 に記載の表示用トランジスタレイパネルの形成方法において、上記素子は、順スタガ型の薄膜トランジスタであることを特徴とする表示用トランジスタレイパネルの形成方法。

【請求項 6】 請求項 1 あるいは請求項 2 に記載の表示用トランジスタレイパネルの形成方法において、上記素子は、逆スタガ型の薄膜トランジスタであることを特徴とする表示用トランジスタレイパネルの形成方法。

【請求項 7】 請求項 1 あるいは請求項 2 に記載の表示用トランジスタレイパネルの形成方法において、上記素子は、コプレーナ型の薄膜トランジスタであることを特徴とする表示用トランジスタレイパネルの形成方法。

【請求項 8】 請求項 5 乃至請求項 7 の何れか一つに記載の表示用トランジスタレイパネルの形成方法において、

上記素子は、配線交差部をも含んでいることを特徴とする表示用トランジスタレイパネルの形成方法。

【請求項 9】 請求項 2 に記載の表示用トランジスタレイパネルの形成方法において、
上記第 1 の基板はシリコン基板であることを特徴とする表示用トランジスタレイパネルの形成方法。

【請求項 10】 請求項 2 に記載の表示用トランジスタレイパネルの形成方法において、
上記第 1 の基板はガラス基板であることを特徴とする表示用トランジスタレイパネルの形成方法。

【請求項 11】 請求項 2 に記載の表示用トランジスタレイパネルの形成方法において、
上記第 1 の基板上の素子の上記第 2 の基板上への全体転写は、光によって接着力が低下する接着剤によって行い、

上記第 2 の基板上の素子の上記第 3 の基板上への選択転写は、上記第 2 の基板の裏面から上記画素の配列ピッチ dx , dy に対応する素子の箇所への光照射によって転写の対象となる素子のみを選択的に上記第 2 の基板から剥離することによって行うことを特徴とする表示用トランジスタレイパネルの形成方法。

【請求項 12】 請求項 2 に記載の表示用トランジスタレイパネルの形成方法において、
上記第 1 の基板上にフッ化水素酸に対して耐性を有する透明絶縁膜を形成し、この透明絶縁膜上に上記素子を形成することを特徴とする表示用トランジスタレイパネルの形成方法。

【請求項 13】 請求項 12 に記載の表示用トランジスタレイパネルの形成方法において、
上記フッ化水素酸に対して耐性を有する透明絶縁膜は、酸化タンタル膜あるいはダイヤモンド膜の何れ一方であることを特徴とする表示用トランジスタレイパネルの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、薄膜トランジスタ(以下、TFTと言う)等のスイッチング素子を有して、ディスプレイに使用される表示用トランジスタレイパネルに関する。

【0002】

【従来の技術】従来、コンピュータやテレビジョン装置等のディスプレイに使用される表示用トランジスタレイパネルの形成方法として、特開平 1 - 3 8 7 2 7 号公報(以下、従来例 1 と言う)や USP 5 4 3 8 2 4 1 (以下、従来例 2 と言う)に開示されているようなものがある。この表示用トランジスタレイパネルの形成方法では、シリコン単結晶基板上に単結晶シリコンの TFT アレイを形成し、これを別のパネル用ガラスあるいは透明有機フィルム基板に転写して表示用トランジスタレイパネルを得ている。

【0003】上記従来例1では、単結晶シリコン薄膜にTFTアレイおよび周辺回路を形成し、ガラス基板上にこの単結晶シリコン薄膜の各辺を互いに密着させて複数枚を平面的に敷き詰めて広い画面を得ている。また、従来例2では、SOI技術を使用して第1の基板上に酸化物層を介して薄いシリコン単結晶フィルムを形成し、このシリコン単結晶フィルム上にTFTアレイを作成する。続いて、このTFTアレイをガラス等の第2の透明絶縁基板上に転写し、上記シリコン単結晶フィルムが形成された上記基板全体を除去することで第1の転写プロセスを完了する。また、必要な場合には第2の転写プロセスに移行し、第3のディスプレイパネル基板に転写して表示用TFTアレイパネルとしている。

【0004】ここで、上記シリコン単結晶フィルムが形成された基板全体を除去する方法には、図10に示すような基板とデバイスとの間に剥離層を設けエッチングによって剥離層を除去する方法、あるいは、図11に示すような基板全体をエッチバック工程によってエッチ除去する方法がある。

【0005】上記基板下の剥離層を除去する方法では、先ず、半導体基板1の表面側から剥離層2を介してデバイス3を形成する(図10(a))。そして、デバイス3上にUV(紫外線)キュアエポキシ4を塗布し(図10(b))、上記デバイス3の箇所である残し部6とこの残し部6間で成るエッチング用溝5とを形成する(図10(c))。こうして、剥離層2除去用のエッチング溶液導入用アクセスストリート構造を得る。次に、上記UVキュアエポキシ3側から透明基板等で成る支持板7を張り合わせてチャネルを形成する(図10(d))。そして、このチャネルに、矢印(A)で示すようにエッチング溶液を走らせることによって剥離層2を除去し、半導体基板1からデバイス3をリフトオフする。

【0006】また、上記基板全体をエッチ除去する方法では、図11(a)に示すように、デバイス11が形成されたSOI構造シリコンウエハ12を接着剤13でガラス等の透明絶縁体で成る支持板としての上部基板14に接着する。このウエハをKOH(水酸化カリウム)または同等溶液に入れ、酸化物層15との高い選択比200:1を利用して図11(b)に示すようにシリコン基板16をエッチ除去する。尚、17は、薄いシリコン単結晶フィルムである。

【0007】さらに、上記従来例2には、GeSi(シリ化ゲルマニウム)を中間エッチストップ層としたシリコン薄膜転写法が開示されている(図12)。このシリコン薄膜転写法においては、図12(a)に示すように、GeSi層21を介してデバイス(TFT)22が形成されたシリコンウエハ23を、図12(b)に示すように、エポキシ接着剤24によってガラスまたは他の基板25にマウントする。そして、KOHに浸漬して、先ずシリコンウエハ23のみに選択エッチを行い、次にGeSi層2

1を別途選択エッチする。

【0008】また、上記従来例2には、上述の基板から支持板への転写と上記支持板からディスプレイパネル基板への転写との2つの転写方法として、UV照射によって剥離する性質を有するUV剥離接着剤をテープの両面に塗布したUV剥離両面テープを上記支持板との接着に使用する方法が開示されている(図13)。この転写方法では、上記支持板からディスプレイパネル基板への転写の場合には、透明支持板26にUV剥離両面テープ27によってデバイス28を転写した後にデバイス28が形成されていた基板を除去して図13(a)の状態にする。そうした後に、図13(b)に示すように、別のUV剥離両面テープ29にデバイス28を当接させて透明支持板26側からUV照射してUV剥離両面テープ27の接着力を低下させて、デバイス28をUV剥離両面テープ29に転写する。または、図13(b')に示すように、エポキシ樹脂30を塗布した基板31上にデバイス28を当接させて、透明支持板26側からUV照射しつつ転写する。

【0009】さらに、上記従来例2には、基板上に密に形成したデバイスを粗に配置し直す転写方法が開示されている(図14)。先ず、図14(a)に示すように、接着剤付きの伸縮性基板35にデバイス36を転写した後に、図14(b)に示すように、各デバイス36毎にデバイス36の間隔と位置とをモニタしながら、伸縮性基板35をX方向へ伸張してX方向のデバイス36の間隔を所定間隔にする。次に、図14(c)に示すように、伸縮性基板35をY方向へ伸張してY方向のデバイス36の間隔を所定間隔にする。そうした後、デバイス36をディスプレイパネル基板(図示せず)に転写する。他の方法として、テープ上のデバイスチップを回転ドラム上の他のテープ上に転写することによって、機械的にデバイス間隔を変換させる方法も開示されている。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来の表示用トランジスタアレイパネルの形成方法には、以下のような問題がある。

【0011】すなわち、従来例1では、パネルの高輝度化、高精細化、広視野角化の点で問題がある。すなわち、能動素子(TFT)および受動素子(画素電極、補助電極、電極配線等)を同時に形成した複数枚の単結晶シリコン薄膜を、ガラス基板上に敷き詰めている。ところが、従来の張り合わせ材料や精度では、ダイシング加工精度や接着加工精度の点で張り合わせ箇所の余裕代を目的とする素子ピッチの半分にできない。そのために、各単結晶シリコン薄膜のつなぎ目部における透過光量とつなぎ目以外の箇所における透過光量とが異なることになり、例えば視野角によって表示むら等が発生する。したがって、パネルの輝度、精細度、視野角を確保するのに技術的

10

20

30

40

50

に困難なのである。

【0012】また、従来例1および従来例2に開示された単結晶シリコン薄膜に形成されたTFTアレイをパネル用基板上に転写する方法は、単結晶シリコン薄膜上のTFT数とパネル用基板上のTFT数とが1:1の関係に在り、パネル用基板上に直接TFTアレイを作り込む方法に比べて工数が転写プロセス分だけ増加することになり、コストがアップするという問題がある。

【0013】また、従来例2に開示されている基板上に密に形成したデバイスを粗に配置し直す転写方法は、伸縮性基板の伸長時の不動点(支点)がデバイスチップの接着面のどの位置になるかによって、デバイス位置が最小でチップサイズ($\geq 20 \mu\text{m}$)だけずれるという本質的な問題を抱えている。そのために、デバイスチップ毎の精密位置制御が不可欠になる。したがって、少なくとも $1 \mu\text{m}$ 程度の位置合わせ精度が必要な高精細TFTアレイパネルの形成には、TFTデバイスチップ毎の位置計測と制御を含む位置合わせに多大な時間を要する。さらに、熱膨張係数の大きな樹脂フィルムへの転写の場合には、位置決め前後の温度/応力変動によって位置合わせ精度が損なわれ易い。以上の理由から、量産技術として採用することには極めて大きな問題がある。

【0014】そこで、この発明の目的は、製造コストの大幅な削減を可能にする表示用トランジスタアレイパネルの形成方法を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するため、請求項1に係る発明の表示用トランジスタアレイパネルの形成方法は、基板上に、画素の一方向への配列ピッチ dx を2以上の自然数 m で除した dx/m のピッチ、および、他方向への配列ピッチ dy を2以上の自然数 n で除した dy/n のピッチで素子設ける工程と、上記基板上に設けられた素子のうち、上記画素の配列ピッチ dx 、 dy に対応する素子のみを選択的に他の基板上に転写する工程を備えたことを特徴としている。

【0016】上記構成によれば、最終的に表示用トランジスタアレイに形成される画素数の $(m \times n)$ 倍の素子が基板上に設けられている。したがって、上記素子が設けられた1枚の基板から $(m \times n)$ 枚の表示用トランジスタアレイパネルを形成することが可能となり、上記素子を形成する場合のコストが $1/(m \times n)$ に低減される。

【0017】さらに、上記構成によれば、上記素子が設けられた1枚の基板から他の基板上への素子の選択転写を $(m \times n)$ 回繰り返すことによって、上記素子の一方方向への配列ピッチが dx であり、他方向への配列ピッチが dy であると共に、上記素子が形成設けられていた基板の大きさの $(m \times n)$ 倍の大きさの上記他の基板が得られる。こうして、上記素子の形成に要する材料費が低減される。

【0018】また、請求項2に係る発明の表示用トラン

ジスタアレイパネルの形成方法は、第1の基板上に、画素の一方向への配列ピッチ dx を2以上の自然数 m で除した dx/m のピッチ、および、他方向への配列ピッチ dy を2以上の自然数 n で除した dy/n のピッチで素子を形成する工程と、上記第1の基板上に形成された素子を第2の基板上に全体転写する工程と、上記第1の基板を除去して上記素子を上記第2の基板上に孤立配列させる工程と、記第2の基板上に転写された素子のうち、上記画素の配列ピッチ dx 、 dy に対応する素子のみを選択的に表示用トランジスタアレイ用の第3の基板上に転写する工程を備えたことを特徴としている。

【0019】上記構成によれば、最終的に表示用トランジスタアレイ用の第3の基板上に形成される画素数の $(m \times n)$ 倍の素子が、第1の基板上に形成されている。したがって、上記素子が形成された1枚の第1の基板から $(m \times n)$ 枚の第3の基板を形成することが可能となり、上記第1の基板上への素子形成コストが $1/(m \times n)$ に低減される。

【0020】また、請求項3に係る発明は、請求項1あるいは請求項2に係る発明の表示用トランジスタアレイパネルの形成方法において、上記素子が選択転写される基板上の位置には、上記素子が嵌合される凹部が形成されていることを特徴としている。

【0021】上記構成によれば、上記素子が選択転写される基板上の位置には凹部が形成されているので、上記凹部に接着剤層を形成することによって、上記素子の選択転写が更に容易に行われる。

【0022】また、請求項4に係る発明は、請求項1あるいは請求項2に係る発明の表示用トランジスタアレイパネルの形成方法において、上記素子が選択転写される基板上の位置には、接着剤層が選択的に形成されていることを特徴としている。

【0023】上記構成によれば、上記素子が選択転写される基板上の位置に接着剤層が選択的に形成されているので、上記素子の選択転写が更に容易に行われる。

【0024】また、請求項5に係る発明は、請求項1あるいは請求項2に係る発明の表示用トランジスタアレイパネルの形成方法において、上記素子は順スタガ型のTFTであることを特徴としている。

【0025】上記構成によれば、基板上への順スタガ型TFTの形成コストが $1/(m \times n)$ に低減される。

【0026】また、請求項6に係る発明は、請求項1あるいは請求項2に係る発明の表示用トランジスタアレイパネルの形成方法において、上記素子は逆スタガ型のTFTであることを特徴としている。

【0027】上記構成によれば、上記基板上への逆スタガ型TFTの形成コストが $1/(m \times n)$ に低減される。

【0028】また、請求項7に係る発明は、請求項1あるいは請求項2に係る発明の表示用トランジスタアレイパネルの形成方法において、上記素子はコプレーナ型の

T F Tであることを特徴としている。

【 0 0 2 9 】 上記構成によれば、上記基板上へのコプレーナ型 T F T の形成コストが $1/(m \times n)$ に低減される。

【 0 0 3 0 】 また、請求項 8 に係る発明は、請求項 5 乃至請求項 7 の何れか一つに係る発明の表示用トランジスタアレイパネルの形成方法において、上記素子は配線交差部をも含んでいることを特徴としている。

【 0 0 3 1 】 上記構成によれば、上記基板上への配線交差部を含む T F T の形成コストが $1/(m \times n)$ に低減される。

【 0 0 3 2 】 また、請求項 9 に係る発明は、請求項 2 に係る発明の表示用トランジスタアレイパネルの形成方法において、上記第 1 の基板はシリコン基板であることを特徴としている。

【 0 0 3 3 】 上記構成によれば、上記第 1 の基板はシリコン基板であるから上記素子を高密度に形成できる。したがって、上記自然数 m, n を容易に大きくすることが可能となり、上記第 1 の基板上への素子形成コストが大幅に低減される。

【 0 0 3 4 】 また、請求項 1 0 に係る発明は、請求項 2 に係る発明の表示用トランジスタアレイパネルの形成方法において、上記第 1 の基板はガラス基板であることを特徴としている。

【 0 0 3 5 】 上記構成によれば、上記第 1 の基板はガラス基板であるから、大型の第 1 の基板の形成が可能となり、大型の表示用トランジスタアレイパネルが容易に形成される。

【 0 0 3 6 】 また、請求項 1 1 に係る発明は、請求項 2 に係る発明の表示用トランジスタアレイパネルの形成方法において、上記第 1 の基板上の素子の上記第 2 の基板上への全体転写は、光によって接着力が低下する接着剤によって行い、上記第 2 の基板上の素子の上記第 3 の基板上への選択転写は、上記第 2 の基板の裏面から上記画素の配列ピッチ dx, dy に対応する素子の箇所への光照射によって転写の対象となる素子のみを選択的に上記第 2 の基板から剥離することによって行うことを特徴としている。

【 0 0 3 7 】 上記構成によれば、光によって接着力が低下する接着剤の塗布および上記第 2 の基板の裏面からの光の選択照射という簡単な方法によって、上記第 2 の基板上の素子の上記第 3 の基板上への選択転写が行われる。

【 0 0 3 8 】 また、請求項 1 2 に係る発明は、請求項 2 に係る発明の表示用トランジスタアレイパネルの形成方法において、上記第 1 の基板上にフッ化水素酸に対して耐性を有する透明絶縁膜を形成し、この透明絶縁膜上に上記素子を形成することを特徴としている。

【 0 0 3 9 】 上記構成によれば、上記第 1 の基板の除去に際して、エッチャントとしてフッ化水素酸が使用され

た場合に、フッ化水素酸に対して耐性を有する透明絶縁膜の存在によって上記素子が保護される。

【 0 0 4 0 】 また、請求項 1 3 に係る発明は、請求項 1 2 に係る発明の表示用トランジスタアレイパネルの形成方法において、上記フッ化水素酸に対して耐性を有する透明絶縁膜は、酸化タンタル膜あるいはダイヤモンド膜の何れ一方であることを特徴としている。

【 0 0 4 1 】 上記構成によれば、上記第 1 の基板除去用のエッチャントとしてフッ化水素酸が使用された場合に、酸化タンタル膜あるいはダイヤモンド膜の何れ一方の存在によって上記素子が確実に保護される。

【 0 0 4 2 】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。

【 0 0 4 3 】 <第 1 実施の形態>図 1 および図 2 は、本実施の形態の表示用トランジスタアレイパネルの形成方法における手順を示す図である。本実施の形態においては、第 1 の基板としてシリコン(Si)基板を用いている。

【 0 0 4 4 】 図 1 (a) に示すように、上記第 1 の基板としての Si 基板 4 1 上に透明絶縁膜として Si 酸化膜 4 2 を形成した後、i 線スパッタを用いたフォトリソプロセスを含む公知の素子形成プロセスを行って、T F T 素子 4 3 を素子分離溝 4 4 を隔てて所定のピッチで形成する。ここで、上記ピッチは、目的とする表示用トランジスタアレイパネルの画素ドットの配列ピッチ dx, dy を、「2」以上の自然数 m, n で除した値 $dx/m, dy/n$ である。また、形成する T F T 素子 4 3 は、例えば T F T と周辺電極配線の一部を含むものであるが、画素電極は含まない。尚、形成する T F T の構造については後に詳述する。

【 0 0 4 5 】 次に、図 1 (b) に示すように、上記 T F T 素子 4 3 側に UV 剥離樹脂 4 6 を塗布し、第 2 の基板である光透過性基板としてのガラス基板 4 5 を張り付ける。ここで、UV 剥離樹脂 4 6 としては、シリコン(メタ)アクリレート添加のアクリル系樹脂や紫外線照射で接着力が低下する UV 硬化型粘着剤等を用いる。次に、図 1 (c) に示すように、Si 基板(第 1 の基板) 4 1 を KOH でエッチング除去した後に、T F T 素子分離溝 4 4 の箇所の Si 酸化膜 4 2 に対して T F T 素子分離エッチングを行って個々の T F T 素子 4 3 を孤立した状態にする。

【 0 0 4 6 】 次に、図 1 (d) に示すように、T F T パネル用の第 3 の基板であるガラス基板 4 7 に接着樹脂 4 8 を塗布したものを、アライメントを行いつつガラス基板(第 2 の基板) 4 5 に近接させる。そして、フォトマスク 4 9 を用いて、接着樹脂 4 8 における転写の対象となる(後に画素を構成する) T F T 素子 4 3 の箇所に位置する部分を紫外線 5 0 を照射して半硬化させて接着性を高め、その半硬化部分 5 1 を転写対象の T F T 素子 4 3 に

押し付けてガラス基板(第3の基板)47を貼り合わせる。尚、接着樹脂48としては、例えばアクリレート系のUV硬化樹脂やUV硬化エポキシ系樹脂等を用いる。

【0047】また、上記第3の基板を貼り合わせる方法として、図2(d')に示す方法を用いても差し支えない。すなわち、第3の基板55における転写対象のTF T素子43の箇所位置する部分を、例えばCF₄やCHF₃を用いたドライエッチ(R I E)によって、TF T素子43のチップが入るサイズの凹部56を形成し、この凹部56のみに予め接着樹脂57を塗布しておく。そして、凹部56に転写対象のTF T素子43を嵌合して第3の基板55を貼り合わせるのである。

【0048】次に、図2(e)に示すように、フォトリソマスク61を用いて、ガラス基板45(第2の基板：光透過性基板)側から、UV剥離樹脂46における転写対象のTF T素子43の箇所の部分に紫外線62を選択的に照射して、UV剥離樹脂46の接着力を低下させてTF T素子43との密着性を低減させる。

【0049】以上の処理によって、上記転写対象のTF T素子43は隣接しているTF T素子43とは孤立しており、ガラス基板(第2の基板)45との間のUV剥離樹脂46は接着力が低下している。したがって、図2(f)に示すように、パネル用のガラス基板(第3の基板)47に転写対象のTF T素子43のみが移し取られる(転写接着)される。そして、未露光のTF T素子43は、ガラス基板(第3の基板)47に転写接着されない。尚、未露光の接着樹脂48は選択転写後に除去しておく。

【0050】最後に、受動素子部形成プロセスを行う。この受動素子部形成プロセスでは、図3に示すように、上記パネル用のガラス基板(第3の基板)47上に画素ドットの配列ピッチdx, dyで転写接着されたTF T素子43に、データ信号線65に接続するためのソース電極配線66、走査信号線67に接続するためのゲート電極配線68およびドレイン電極配線69を配線する。さらに、ドレイン電極配線69に接続される液晶駆動用の画素電極70を形成する。その場合の配線間絶縁膜として、例えばポリイミド膜を用いる。そして、上述の図1(c)におけるTF T素子分離エッチング等の際にTF T素子43を保護するためにTF T素子43を覆って形成されている例えばSi酸化膜(図示せず)に、電極接続用のコンタクトホールを穴あけエッチングで形成する。そして、ガラス基板(第3の基板)47上のデータ信号線65や走査信号線67とTF T素子43の電極との接続等を行う。

【0051】こうして、図4に示すような表示用トランジスタアレイパネルが形成される。尚、71はカラーフィルタガラス基板であり、72はRGBのカラーフィルタである。また、上記配線65～69および画素電極70は、TF T素子43が転写接着される前に、予めガラス基板(第3の基板)47上に形成しておいても構わな

い。

【0052】従来より、表示用トランジスタアレイパネルに採用されているTF T素子の構造として、順スタガ構造、逆スタガ構造およびコプレーナ構造の3種類がある。図5は順スタガTF Tの構造の一例を示し、図5(a)は断面図であり、図5(b)は平面図である。順スタガTF Tでは、ゲート電極81が、ソース電極82下のオーミック・コンタクト層83とドレイン電極84下のオーミック・コンタクト層85とに接続するチャネル層86の上側に、ゲート絶縁膜87を介して形成されている。尚、89は、上記選択転写後の配線プロセスにおいてSi酸化膜88に形成されるゲート電極71に対するコンタクトホールである。同様に、90はソース電極82に対するコンタクトホールであり、91はドレイン電極84に対するコンタクトホールである。

【0053】また、図6は、上記逆スタガTF Tの構造の一例の断面図を示す。逆スタガTF Tでは、ゲート電極101が、ソース電極102とドレイン電極103とに接続するチャネル層104の下側に、ゲート絶縁膜105及び金属酸化膜106を介して形成されている。尚、107, 108はオーミック・コンタクト層であり、110はSi酸化膜109に形成されたソース電極102に対するコンタクトホールであり、111はドレイン電極103に対するコンタクトホールである。

【0054】また、図7は、上記コプレーナTF Tの構造の断面図を示す。コプレーナTF Tでは、ゲート電極121が、ソース電極122とドレイン電極123とを接続するオーミック・コンタクト層124の中間部に形成されるチャネル層125の上側に、ゲート絶縁膜126を介して形成されている。尚、128はSi酸化膜127に形成されたソース電極122に対するコンタクトホールであり、129はドレイン電極123に対するコンタクトホールである。

【0055】上記順スタガTF T、逆スタガTF TおよびコプレーナTF Tの何れの場合にも、ガラス基板(第2の基板)45への全体転写後におけるNaOH(水酸化ナトリウム)あるいはKOHをエッチャントとしたSi基板(第1の基板)41への選択エッチングを行う際に、上記エッチャントに耐性のあるSi酸化膜42でTF Tが保護される構成になっている。したがって、何れの場合も、本実施の形態の表示用トランジスタアレイパネルの形成方法が適用可能である。尚、上記保護膜42は、Si酸化膜に限定されるものではなく、第1の基板に対する選択エッチング時に使用されるエッチャントに対して耐性を有する膜であればよい。例えば、第1の基板がガラス基板である場合には、エッチャントとしてのフッ化水素酸に対して耐性を有する酸化タンタル膜あるいはダイヤモンド膜を上記保護膜として上記ガラス基板とTF Tとの間に形成すればよい。尚、上記保護膜は、上記第1の基板とTF Tとの間のみならず、図5～図7

に示すように、T F T の表面および側面にも形成することが望ましい。

【 0 0 5 6 】 尚、図 8 は、図 6 に示す逆スタガ T F T におけるソース電極 1 0 2 に接続されたソース電極配線 1 1 5 とゲート電極配線 1 1 6 との交差部 1 1 5 の断面図である。このようなソース電極配線 1 1 5 とゲート電極配線 1 1 6 との交差部 1 1 5 も、T F T 素子 4 3 に含めて、第 3 の基板 4 7 上に選択転写することが可能である。

【 0 0 5 7 】 上述のように、本実施の形態においては、S i 基板で成る第 1 の基板 4 1 上に T F T 素子 4 3 を素子分離溝 4 4 を隔ててピッチ dx/m 、 dy/n で形成する。ここで、 dx 、 dy は画素ドットの配列ピッチであり、 m 、 n は「2」以上の自然数である。そして、T F T 素子 4 3 側に U V 剥離樹脂 4 6 で第 2 の基板 4 5 を張り付けた後、第 1 の基板 4 1 をエッチング除去し、T F T 素子分離エッチングを行って各 T F T 素子 4 3 を分離させる。そして、第 3 の基板 4 7 に接着樹脂 4 8 で転写対象の T F T 素子 4 3 のみを選択的に接着させ、第 2 の基板 4 5 側から転写対象の T F T 素子 4 3 の箇所

に紫外線 6 2 を選択的に照射して U V 剥離樹脂 4 6 の接着力を低下させて、転写対象の(つまり、画素を構成する) T F T 素子 4 3 のみを第 3 の基板 4 7 に選択転写するのである。

【 0 0 5 8 】 したがって、上記第 2 の基板 4 5 上の T F T 素子 4 3 のピッチ dx/m 、 dy/n の第 3 の基板 4 7 上でのピッチ dx 、 dy への拡大を、従来例 2 の如く伸縮性基板を用いる転写方法に比して正確に行うことができる。したがって、1 枚の第 2 の基板 4 5 を用いて、この第 2 の基板 4 5 から第 3 の基板(パネル用基板) 4 7 への

選択転写を、第 2 の基板 4 5 を x 方向へ dx/m あるいは y 方向へ dy/n だけ移動させながら $(m \times n)$ 枚の第 3 の基板 4 7 に対して行うことによって、第 1 の基板 4 1 を 1 枚作成すれば、 $(m \times n)$ 枚のパネル用基板 4 7 に対して同一の選択転写を行うことができる。すなわち、本実施の形態によれば、第 1 の基板 4 1 上に T F T 素子 4 3 を形成するコストを概略 $1/(m \times n)$ にできる。

【 0 0 5 9 】 このように、本実施の形態によれば、表示用トランジスタアレイパネルとして必要な画素数の m 、 n 倍の T F T 素子を第 1 の基板 4 1 上に形成することが可能となる。したがって、必要画素数と第 1 の基板上の T F T 素子数とが同数の従来の表示用トランジスタアレイパネルの形成方法に比して、第 1 の基板 4 1 に形成する T F T 素子密度を 1 0 倍～1 0 0 倍にできる。したがって、表示用トランジスタアレイパネル製造設備におけるイニシャルコストの約 3 0 % を占める成膜工程設備および約 2 6 % を占めるフォトリソ工程設備のスループットを、実質的に 1 0 倍～1 0 0 倍程度向上させることができる。また、T F T 素子 4 3 の形成に要する材料費も $1/10 \sim 1/100$ に低減できる。結果として、表示用

ランジスタアレイパネルの製造コストの大幅な削減が可能となるのである。

【 0 0 6 0 】 ところで、上記第 1 の基板 4 1 として S i 基板を用いた場合には、基板サイズに制限があるものの T F T 素子を高密度に形成できる。そこで、以下のようにして、上記基板サイズの制限を超えたサイズの第 3 の基板 4 7 を形成することができる。すなわち、T F T 素子 4 3 が高密度で形成された S i 基板(第 1 の基板) 4 1 を複数枚形成する。そして、この複数枚の S i 基板(第 1 の基板) 4 1 の位置をずらして第 2 の基板 4 5 に全体転写することによって、T F T 素子 4 3 が高密度で転写された(つまり、自然数 m 、 n が大きい)第 2 の基板 4 5 を形成するのである。

【 0 0 6 1 】 上記ガラス基板(第 2 の基板) 4 5 に、複数枚の S i 基板(第 1 の基板) 4 1 上の T F T 素子 4 3 を転写する場合には、図 1 (a)～図 1 (c) に示す第 1 の基板 4 1 から第 2 の基板 4 5 への転写プロセスに従って、1 枚の第 1 の基板 4 1 毎にアライメントしつつ第 1 の基板 4 1 の枚数だけ転写を繰り返して行えばよい。こうすることによって、複数枚の第 1 の基板 4 1 上の T F T 素子 4 3 を $10 \mu m$ 以下の間隔で第 2 の基板 4 5 上に転写することが可能となる。従来例 1 の如く、複数枚の第 1 の基板を第 2 の基板上に敷き詰める方法の場合には、第 1 の基板形成時のダイシング加工精度や第 2 の基板への接着加工精度の点で、各素子を $10 \mu m$ 以下の間隔で配列することは一般には困難である。ところが、本実施の形態の場合には、第 1 の基板 4 1 の枚数だけ第 2 の基板 4 5 への転写を繰り返せば、T F T 素子 4 3 を $10 \mu m$ 以下の間隔で第 2 の基板 4 5 上に配列することは簡単にできるのである。

【 0 0 6 2 】 上述の場合、上記第 1 の基板 4 1 から第 2 の基板 4 5 への全体転写の回数が増加する。しかしながら、T F T 素子 4 3 は高密度に形成されているために自然数 m 、 n の値は大きく、1 枚の第 2 の基板 4 5 から多数の第 3 の基板 4 7 を形成できる。したがって、上記全体転写によるコストアップを埋めて、尚且つコストダウンを図ることができるのである。

【 0 0 6 3 】 尚、上記実施の形態においては、紫外線に対する U V 剥離樹脂の性質を利用して選択転写を行っている。しかしながら、この発明はこれに限定されるものではなく、例えば、転写側の基板の一方側、他方側あるいは両側からの静電引力や電磁力を利用して選択転写を行っても差し支えない。

【 0 0 6 4 】 <第 2 実施の形態> 図 9 は、本実施の形態の表示用トランジスタアレイパネルの形成方法における手順を示す図である。本実施の形態においては、第 1 の基板としてガラス基板を用いている。

【 0 0 6 5 】 図 9 (a) に示すように、上記第 1 の基板としてのガラス基板 1 3 1 上に、例えば S i 膜 1 3 2 と S i 窒化膜(あるいは S i 酸化膜) 1 3 3 との 2 層構造で成る

犠牲層 1 3 4 を形成する。そうした後、i 線スパッタを用いたフォトリソプロセスを含む公知の素子形成プロセスを行って、TFT 素子 1 3 5 を素子分離溝 1 3 6 を隔てて所定のピッチで形成する。ここで、上記ピッチは、目的とする表示用トランジスタアレイパネルの画素ドットの配列ピッチ dx, dy を、「2」以上の自然数 m, n で除した値 $dx/m, dy/n$ である。また、形成する TFT 素子 1 3 5 は、例えば TFT と周辺電極配線の一部を含むものであるが、画素電極は含まない。尚、形成する TFT の構造は、上述の順スタガ TFT、逆スタガ TFT およびコプレーナ TFT の何れかである。

【0066】次に、図 9 (b) に示すように、上記 TFT 素子 1 3 5 側に UV 剥離樹脂 1 3 7 を塗布し、第 2 の基板である光透過性基板としてのガラス基板 1 3 8 を張り付ける。次に、図 9 (c) に示すように、例えばバッファフッ酸等の Si との選択比が大きな選択エッチング液 1 3 9 を、真空吸入法によって TFT 素子分離溝 1 3 6 に均一に充填する。こうして、犠牲層 1 3 4 における Si 窒化膜 (あるいは Si 酸化膜) 1 3 3 のみを選択エッチングして除去する。

【0067】次に、図 9 (d) に示すように、上記ガラス基板 (第 1 の基板) 1 3 1 を取り外して、各 TFT 素子 1 3 5 をガラス基板 (第 2 の基板) 1 3 8 上に孤立した状態にする。

【0068】以下、第 1 実施の形態における図 1 (d) ~ 図 2 (f) に示す手順によって、TFT パネル用の第 3 の基板であるガラス基板の張り合わせ、ガラス基板 (第 2 の基板) 1 3 8 上の TFT 素子 1 3 5 の第 3 の基板 (パネル用基板) 上への選択転写を行うのである。

【0069】上述のように、本実施の形態においては、上記ガラス基板 (第 1 の基板) 1 3 1 上に、Si 膜 1 3 2 と Si 窒化膜 (または Si 酸化膜) 1 3 3 とで成る犠牲層 1 2 4 を介して TFT 素子 1 3 5 を素子分離溝 1 3 6 を隔てて、ピッチ $dx/m, dy/n$ で形成する。ここで、 dx, dy は画素ドットの配列ピッチであり、 m, n は「2」以上の自然数である。そして、TFT 素子 1 3 5 側に UV 剥離樹脂 1 3 7 で第 2 の基板 1 3 8 を張り付けた後、Si との選択比が大きな選択エッチング液 1 3 9 を真空吸入法で TFT 素子分離溝 1 3 6 に充填して犠牲層 1 3 4 の Si 窒化膜 (あるいは Si 酸化膜) 1 3 3 のみを選択エッチングし、ガラス基板 (第 1 の基板) 1 3 1 を除去する。そうした後、第 1 実施の形態と同様に、転写対象の (つまり、画素を構成する) TFT 素子 1 3 5 のみを第 3 の基板に選択転写するのである。

【0070】したがって、第 1 実施の形態と同じ効果を奏する表示用トランジスタアレイパネルの形成方法を、ガラス基板を上記第 1 の基板とする場合にも適用できる。ところで、第 1 の基板 1 3 1 としてガラス基板を用いた場合には、通常は基板サイズに制限は無く大型の基板を形成できる。したがって、 $dx/m, dy/n$ のピッチ

で TFT 素子 1 3 5 が形成された大型のガラス基板 (第 1 の基板) 1 3 1 を形成することによって、大型の表示用トランジスタアレイパネルを容易に形成できるのである。

【0071】そして、本実施の形態においても、1 枚の第 2 の基板 1 3 8 を用いて、この第 2 の基板 1 3 8 から第 3 の基板 (パネル用基板) への選択転写を、第 2 の基板 1 3 8 を x 方向へ dx/m あるいは y 方向へ dy/n だけ移動させながら $(m \times n)$ 枚の第 3 の基板に対して行うことによって、第 1 の基板 1 3 1 を 1 枚作成すれば、 $(m \times n)$ 枚のパネル用基板に同一の選択転写を行うことができる。すなわち、本実施の形態によれば、第 1 の基板 1 3 1 上に TFT 素子 1 3 5 を形成するコストを概略 $1/(m \times n)$ にできるのである。

【0072】例えば、13.3 インチ XGA (Extended Graphics Array) - LCD (液晶ディスプレイ) パネルに適用した場合には、パネルサイズ $203 \times 270 = 54,810 \text{ mm}^2$ の中に RGB 合計で $768 \times 1024 = 2,359,300$ 個の TFT 素子を内蔵しており、TFT 素子 1 3 5 の縦横夫々の配列ピッチ n は、概略 $88 \mu\text{m}, 264 \mu\text{m}$ である。ここで、 $m=4, n=12$ を選択して第 1 の基板 1 3 1 上への TFT 素子 1 3 5 の配列ピッチを $22 \mu\text{m}$ とした場合には、TFT 素子 1 3 5 が全体転写された第 2 の基板 1 3 8 上の TFT 素子 1 3 5 の配列ピッチは、表示用 LCD パネルに比して縦 4 倍、横 12 倍であるために、1 枚の第 2 の基板 1 2 8 から $4 \times 12 = 48$ 枚の表示用 LCD パネルを形成できる。したがって、プロセスコストの大幅な削減を図ることができるのである。

【0073】こうして、本実施の形態においても、第 1 実施の形態と同様に、表示用トランジスタアレイパネル製造設備におけるイニシャルコストの約 30% を占める成膜工程設備および約 26% を占めるフォトリソ工程設備のスループットを、実質的に 10 倍 ~ 100 倍程度向上させることができる。また、TFT 素子 4 3 の形成に要する材料費も $1/10 \sim 1/100$ に低減できる。結果として、表示用トランジスタアレイパネルの製造コストの大幅な削減が可能となるのである。

【0074】＜第 3 実施の形態＞上記各実施の形態においては、一つの基板上の TFT 素子の他の基板への選択転写を、第 2 の基板 4 5、1 3 8 から第 3 の基板 4 7 への転写に適用している。しかしながら、上記選択転写は、第 1 の基板から第 2 の基板への転写に適用することも可能である。

【0075】すなわち、第 1 実施の形態における図 1 (a) あるいは第 2 実施の形態における図 9 (a) と同様に、第 1 の基板上に、画素の一方方向への配列ピッチ dx および他方向への配列ピッチ dy を「2」以上の自然数 m, n で除した値 $dx/m, dy/n$ のピッチで第 1 の基板上に TFT 素子を 1 枚形成する。そして、上記 1 枚の第 1 の

基板から上記第 2 の基板上への T F T 素子の選択転写を、アライメントを行って $(m \times n)$ 回繰り返す。こうして、上記 T F T 素子の上記一方向への配列ピッチが dx であり、他方向への配列ピッチが dy であり、且つ、上記第 1 の基板の大きさの $(m \times n)$ 倍の大きさの第 2 の基板を得るのである。以後は、この第 2 の基板上の T F T 素子を第 3 の基板上に全体転写すればよい。

【0076】こうすることによって、上記第 1 の基板が基板サイズに制限のある Si 基板である場合でも、上記制限を越えた大きさの表示用トランジスタアレイパネルの形成が可能となるのである。上記第 1 の基板は、Si 基板に限らずガラス基板であっても差し支えない。

【0077】尚、本実施の形態を適用する場合には、上記第 1 の基板と T F T 素子との間に形成される透明絶縁膜下に、例えば、紫外線照射で接着力が低下する UV 硬化型粘着剤等を形成して、上記第 1 の基板から T F T 素子を選択的に剥離可能にする必要がある。また、場合によっては、第 3 の基板への全体転写は無くとも構わない。

【0078】

【発明の効果】以上より明らかなように、請求項 1 に係る発明の表示用トランジスタアレイパネルの形成方法は、画素の一方向への配列ピッチ dx 及び他方向への配列ピッチ dy を 2 以上の自然数 m, n で除した $dx/m, dy/n$ のピッチで基板上に素子を設ける工程と、上記基板上に設けられた素子のうち上記画素の配列ピッチ dx, dy に対応する素子のみを選択的に他の基板に転写する工程を備えたので、転写元の基板上には、表示用トランジスタアレイパネルに形成される画素数の $(m \times n)$ 倍の素子が設けられている。したがって、上記転写元の 1 枚の基板から $(m \times n)$ 枚の表示用トランジスタアレイパネルを形成することができる。

【0079】すなわち、この発明によれば、基板上への素子形成コストを、基板上に形成される素子数と上記画素数とが同数である従来の表示用トランジスタアレイパネルの形成方法に比較して $1/(m \times n)$ に低減できる。したがって、表示用トランジスタアレイパネル製造設備におけるイニシャルコストの約 30 % を占める成膜工程設備および約 26 % を占めるフォトリソ工程設備のスループットを、実質的に $(m \times n)$ 倍に向上させることができる。また、上記素子の形成に要する材料費を $1/(m \times n)$ に低減できる。結果として、表示用トランジスタアレイパネルの製造コストの大幅な削減が可能となるのである。

【0080】さらに、上記素子が設けられた 1 枚の基板から他の基板上への素子の選択転写を $(m \times n)$ 回繰り返すことによって、上記素子の一方向への配列ピッチが dx であり、他方向への配列ピッチが dy であると共に、上記転写元の基板の大きさの $(m \times n)$ 倍の大きさの表示用トランジスタアレイパネルを得ることができる。したが

って、この場合には、上記従来の表示用トランジスタアレイパネルの形成方法によって同じ大きさの表示用トランジスタアレイパネルを形成する場合に比較して、上記素子の形成に要する材料費を低減できる。

【0081】また、請求項 2 に係る発明の表示用トランジスタアレイパネルの形成方法は、画素の一方向への配列ピッチ dx および他方向への配列ピッチ dy を 2 以上の自然数 m, n で除した値 $dx/m, dy/n$ のピッチで第 1 の基板上に素子を形成する工程と、上記第 1 の基板上に形成された素子を第 2 の基板上に全体転写する工程と、上記第 1 の基板を除去して上記素子を第 2 の基板上に孤立配列させる工程と、記第 2 の基板上に転写された素子のうち上記画素の配列ピッチ dx, dy に対応する素子のみを選択的に表示用トランジスタアレイ用の第 3 の基板に転写する工程を備えたので、上記第 1 の基板上には、表示用トランジスタアレイ用の第 3 の基板に形成される画素数の $(m \times n)$ 倍の素子が形成されている。したがって、上記素子が形成された 1 枚の第 1 の基板から $(m \times n)$ 枚の第 3 の基板を形成することができる。

【0082】すなわち、この発明によれば、第 1 の基板上への素子形成コストを、上記第 1 の基板上に形成される素子数と上記第 3 の基板に形成される画素数とが同数である従来の表示用トランジスタアレイパネルの形成方法に比較して $1/(m \times n)$ に低減できる。特に、上記第 1 の基板が Si 基板である場合には、上記第 1 の基板上に従来の 10 倍～100 倍の素子を形成することができ、表示用トランジスタアレイパネルの製造コストの大幅な削減が可能となるのである。

【0083】また、請求項 3 に係る発明の表示用トランジスタアレイパネルの形成方法は、上記素子が選択転写される基板上の位置には上記素子が嵌合される凹部が形成されているので、上記凹部に接着剤層を形成することによって、上記素子の選択転写を更に容易に行うことができる。

【0084】また、請求項 4 に係る発明の表示用トランジスタアレイパネルの形成方法は、上記素子が選択転写される基板上の位置に接着剤層が選択的に形成されているので、上記素子の選択転写を更に容易に行うことができる。

【0085】また、請求項 5 に係る発明の表示用トランジスタアレイパネルの形成方法における上記素子は順スタガ型の T F T であるので、基板上への上記順スタガ型 T F T の形成コストを $1/(m \times n)$ に低減できる。

【0086】また、請求項 6 に係る発明の表示用トランジスタアレイパネルの形成方法における上記素子は逆スタガ型の T F T であるので、基板上への上記逆スタガ型 T F T の形成コストを $1/(m \times n)$ に低減できる。

【0087】また、請求項 7 に係る発明の表示用トランジスタアレイパネルの形成方法における上記素子はコプレーナ型の T F T であるので、基板上への上記コプレー

ナ型 T F T の形成コストを $1/(m \times n)$ に低減できる。

【0088】また、請求項 8 に係る発明の表示用トランジスタアレイパネルの形成方法における上記素子は配線交差部をも含んでいるので、基板上への上記配線交差部をも含む T F T の形成コストを $1/(m \times n)$ に低減できる。

【0089】また、請求項 9 に係る発明の表示用トランジスタアレイパネルの形成方法における上記第 1 の基板はシリコン基板であるので上記素子を高密度に形成できる。したがって、上記自然数 m, n を容易に大きくすることが可能となり、上記第 1 の基板上への素子形成コストを大幅に低減できる。

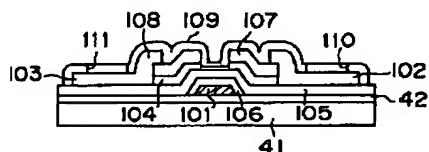
【0090】また、請求項 10 に係る発明の表示用トランジスタアレイパネルの形成方法における上記第 1 の基板はガラス基板であるので、上記第 1 の基板を大型に形成できる。したがって、この発明によれば、上記第 1 の基板上への素子形成コストを $1/(m \times n)$ に低減でき、且つ、大型の表示用トランジスタアレイパネルを容易に形成できる。

【0091】また、請求項 11 に係る発明の表示用トランジスタアレイパネルの形成方法では、上記第 1 の基板上の素子の上記第 2 の基板上への全体転写を、光で接着力が低下する接着剤によって行い、上記第 2 の基板上の素子の上記第 3 の基板上への選択転写を、上記第 2 の基板の裏面から転写対象の素子の箇所への選択的な光照射によって行うので、上記接着剤の塗布および上記第 2 の基板の裏面からの光の選択照射という簡単な方法によって、上記第 2 の基板上の素子の上記第 3 の基板上への選択転写を行うことできる。

【0092】また、請求項 12 に係る発明の表示用トランジスタアレイパネルの形成方法では、上記第 1 の基板上にフッ化水素酸に対して耐性を有する透明絶縁膜を形成しているので、上記第 1 の基板の除去に際してエッチャントとしてフッ化水素酸を使用する場合に、上記透明絶縁膜の存在によって上記素子を保護できる。

【0093】また、請求項 13 に係る発明の表示用トランジスタアレイパネルの形成方法では、上記フッ化水素酸に対して耐性を有する透明絶縁膜は酸化タンタル膜あるいはダイヤモンド膜の何れ一方であるので、上記第 1 の基板除去用のエッチャントとしてフッ化水素酸が使用する場合に、酸化タンタル膜あるいはダイヤモンド膜の何れ一方の存在によって上記素子を確実に保護できる。

【図 6】



【図面の簡単な説明】

【図 1】この発明の表示用トランジスタアレイパネルの形成方法における手順を示す図である。

【図 2】図 1 に続く表示用トランジスタアレイパネルの形成方法における手順を示す図である。

【図 3】図 2 に続く受動素子部形成プロセスの説明図である。

【図 4】図 1 ～図 3 に示す形成方法によって形成された表示用トランジスタアレイパネルの外観図である。

【図 5】順スタガ T F T の構造を示す図である。

【図 6】逆スタガ T F T の構造を示す図である。

【図 7】コプレーナ T F T の構造を示す図である。

【図 8】逆スタガ T F T におけるソース電極配線とゲート電極配線との交差部の断面図である。

【図 9】図 1 とは異なる表示用トランジスタアレイパネルの形成方法における手順の一部を示す図である。

【図 10】従来の表示用トランジスタアレイパネルの形成方法において剥離層をエッチング除去して第 1 の基板全体を除去する方法の手順を示す図である。

【図 11】従来の表示用トランジスタアレイパネルの形成方法においてエッチバック工程によって第 1 の基板全体を除去する方法の手順を示す図である。

【図 12】従来の表示用トランジスタアレイパネルの形成方法において中間エッチストップ層を用いたシリコン薄膜転写法の手順を示す図である。

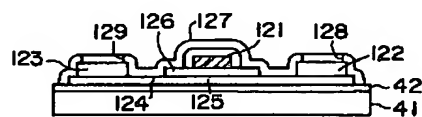
【図 13】従来の表示用トランジスタアレイパネルの形成方法において UV 剥離両面テープを用いた転写方法の手順を示す図である。

【図 14】従来の表示用トランジスタアレイパネルの形成方法において基板上に密に形成したデバイスに粗に配置し直す転写方法の手順を示す図である。

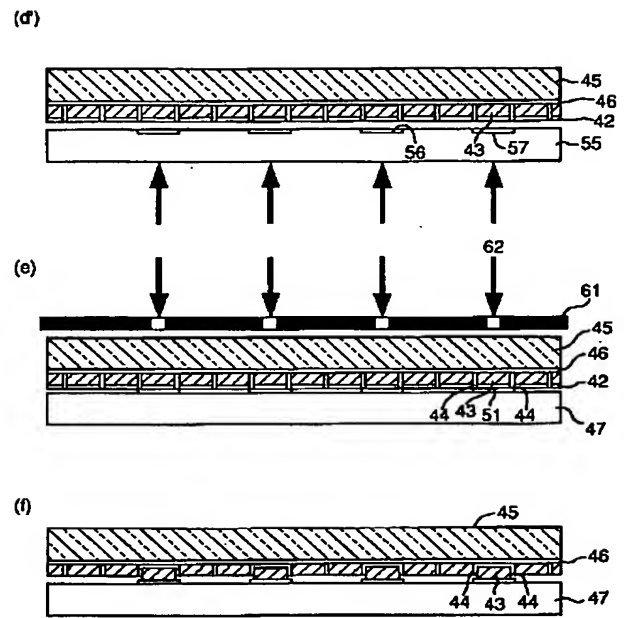
【符号の説明】

4 1 … Si 基板 (第 1 の基板)、 4 2 … Si 酸化膜、 4 3, 1 2 5 … T F T 素子、 4 4, 1 2 6 … 素子分離溝、 4 5, 1 2 8 … ガラス基板 (第 2 の基板)、 4 6, 1 2 7 … UV 剥離樹脂、 4 7, 5 5 … ガラス基板 (第 3 の基板)、 4 8, 5 7 … 接着樹脂、 5 0, 6 2 … 紫外線、 6 6 … ソース電極配線、 6 8 … ゲート電極配線、 6 9 … ドレイン電極配線、 7 0 … 画素電極、 1 3 1 … ガラス基板 (第 1 の基板)、 1 3 2 … Si 膜、 1 3 3 … Si 窒化膜 (あるいは Si 酸化膜)、 1 3 4 … 犠牲層。

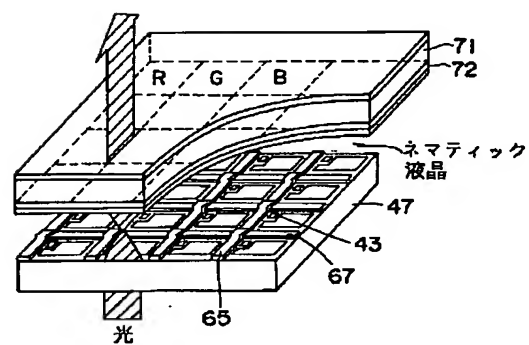
【図 7】



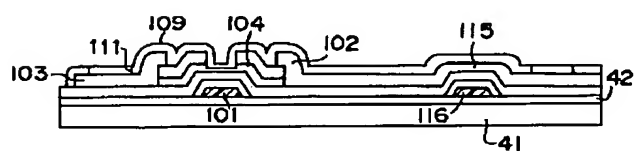
【図 2】



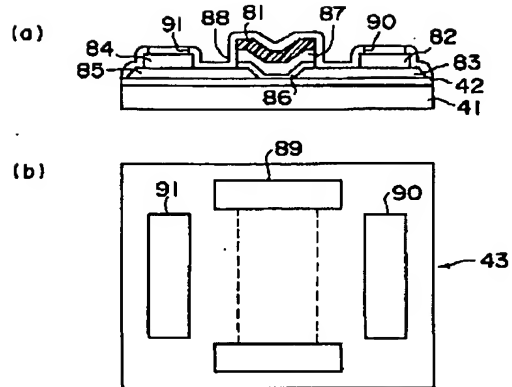
【図 4】



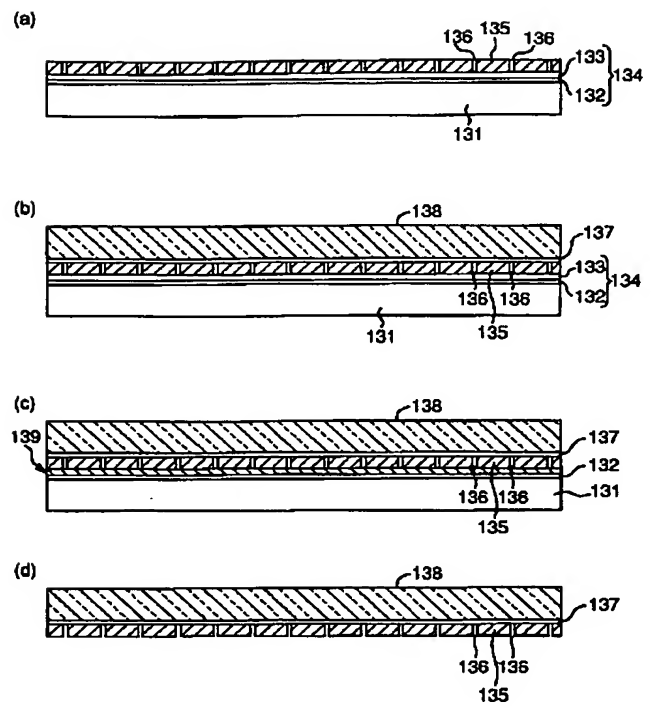
【図8】



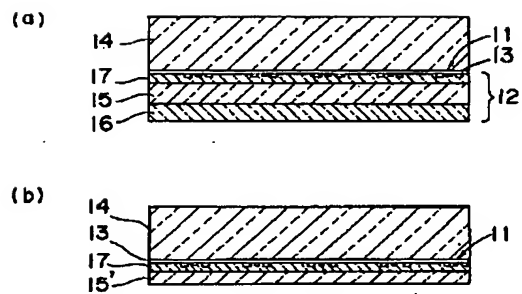
【図 5】



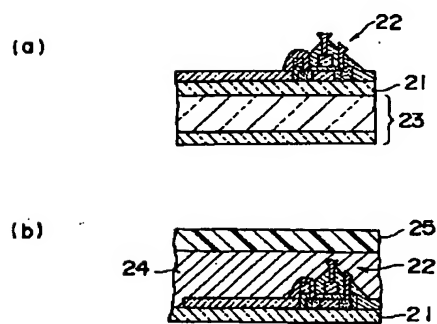
【図 9】



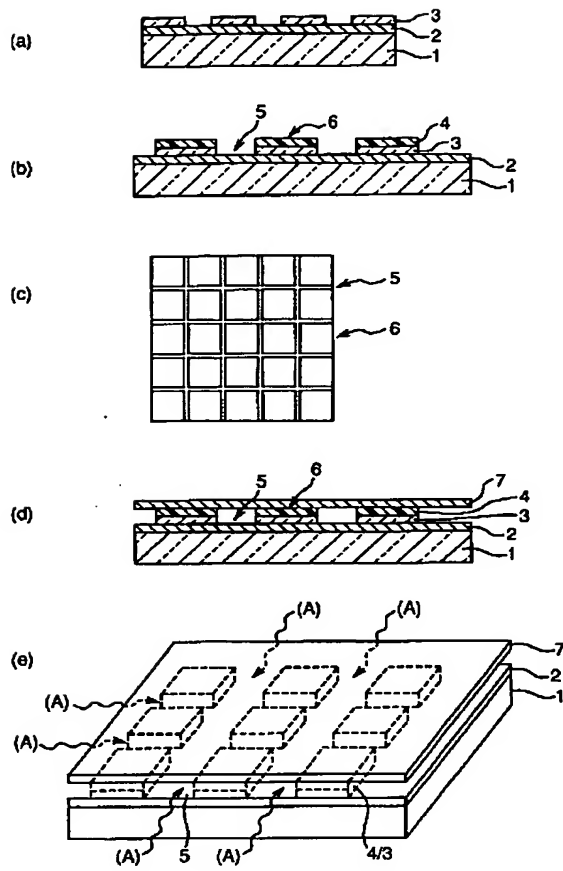
【図 1 1】



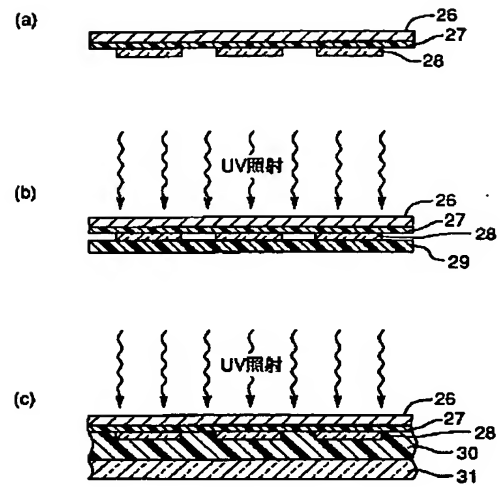
【図 1 2】



【図 1 0】



【図 1 3】



【図 1 4】

